

Patent
Attorney's Docket No. 030681-366

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of)	
)	
Kyo-yeol LEE)	Group Art Unit: Unassigned
)	
Application No.: New Application)	Examiner: Unassigned
)	
Filed: Herewith)	
)	
For: METHOD FOR FABRICATING GROUP)	
III-V COMPOUND SEMICONDUCTOR)	
SUBSTRATE)	
)	
)	

11046 U.S. PRO
10/086892
03/04/02

CLAIM FOR CONVENTION PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Republic of Korea Patent Application No. 2001-11153

Filed: March 5, 2001

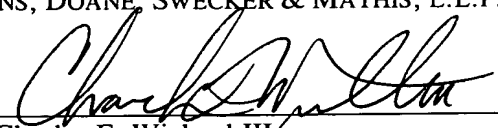
In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: March 4, 2002

By:


Charles F. Wieland III
Registration No. 33,096

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

**KOREAN INDUSTRIAL
PROPERTY OFFICE**



This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

Application Number: Patent Application No. 2001-11153

Date of Application: 5 March 2001

Applicant(s): Samsung Corning Co., Ltd.

23 January 2002

COMMISSIONER

1020010011153

2002/1/24

[Document Name] Patent Application

[Application Type] Patent

[Receiver] Commissioner

[Reference No.] 0004

[Filing Date] 2001.03.05

[IPC] H01L

[Title] Method for manufacturing compound semiconductor substrate of III-V group

[Applicant]

[Name] Samsung Corning Co., Ltd.

[Applicant code] 1-1998-001812-6

[Attorney]

[Name] Young-pil Lee

[Attorney's code] 9-1998-000334-6

[General Power of Attorney Registration No.] 2000-029426-6

[Attorney]

[Name] Hae-young Lee

[Attorney's code] 9-1999-000227-4

[General Power of Attorney Registration No.] 2000-029454-6

[Inventor]

[Name] LEE, Kyo Yeol

[I.D. No.] 640607-1058222

[Zip Code] 442-390

[Address] 472 Shin-dong, Paldal-gu
Suwon-city, Kyungki-do

[Nationality] Republic of Korea

[Application Order] I/We file as above according to Art. 42 of the Patent Law.

Attorney

Young-pil Lee

Attorney

Hae-young Lee

1020010011153

2002/1/24

[Fee]

[Basic page]	20 Sheet(s)	29,000 won
[Additional page]	6 Sheet(s)	6,000 won
[Priority claiming fee]	0 Case(s)	0 won
[Examination fee]	0 Claim(s)	0 won
[Total]	35,000 won	

[Enclosures]

1. Abstract and Specification (and Drawings)_1 copy

11046 U.S. PTO
10/086892
03/04/02



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2001년 제 11153 호
Application Number PATENT-2001-0011153

출원년월일 : 2001년 03월 05일
Date of Application MAR 05, 2001

출원인 : 삼성코닝 주식회사.
Applicant(s) SAMSUNG CORNING CO., LTD



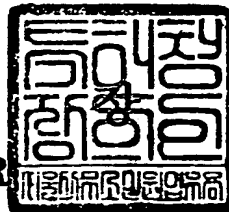
2002 년 01 월 23 일

특

허

청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2001.03.05
【국제특허분류】	H01L
【발명의 명칭】	/ / / -V 족 화합물 반도체 기판의 제조 방법
【발명의 영문명칭】	Method for manufacturing compound semiconductor substrate of III-V group
【출원인】	
【명칭】	삼성코닝 주식회사
【출원인코드】	1-1998-001812-6
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2000-029426-6
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2000-029454-6
【발명자】	
【성명의 국문표기】	이교열
【성명의 영문표기】	LEE, Kyo Yeol
【주민등록번호】	640607-1058222
【우편번호】	442-390
【주소】	경기도 수원시 팔달구 신동 472번지
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 이영필 (인) 대리인 이해영 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 6 면 6,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 35,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

반도체 기판의 제조 방법에 관해 개시되어 있다. 개시된 본 발명은 베이스 기판을 준비하는 제1 단계와, 상기 준비된 베이스 기판 상에 제1 완충층을 형성하는 제2 단계와, 상기 제1 완충층 상에 반도체층을 형성하는 제3 단계와, 상기 베이스 기판을 분리하는 제4 단계를 포함한다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

III-V족 화합물 반도체 기판의 제조 방법{Method for manufacturing compound semiconductor substrate of III-V group}

【도면의 간단한 설명】

도 1은 종래 기술에 의한 GaN 기판 제조 방법을 설명하기 위한 단면도이다.

도 2는 도 1에 도시한 종래 기술에 의한 GaN기판 제조 방법의 문제점을 설명하기 위한 단면도이다.

도 3 및 도 4는 본 발명의 실시예에 의한 III-V족 화합물 반도체 기판의 제조 방법을 단계별로 나타낸 단면도들이다.

도 5 내지 도 8은 도 3 및 도 4에 도시한 본 발명의 실시예에 의한 III-V족 화합물 반도체 기판의 제조 방법에서 형성되는 제1 완충층의 제1 형성 방법을 단계별로 나타낸 단면도들이다.

도 9 및 도 10은 도 3 및 도 4에 도시한 본 발명의 실시예에 의한 III-V족 화합물 반도체 기판의 제조 방법에서 형성되는 제1 완충층의 제2 형성 방법을 단계별로 나타낸 단면도들이다.

도 11은 도 3 및 도 4에 도시한 본 발명의 실시예에 의한 III-V족 화합물 반도체 기판의 제조 방법에서 형성되는 제1 완충층의 제3 형성 방법을 설명하기 위한 단면도이다.

도 12는 도 3 및 도 4에 도시한 본 발명의 실시예에 의한 III-V족 화합물 반도체 기판의 제조 방법에서 형성되는 제2 완충층의 제4 형성 방법을 설명하기 위한 단면도이다.

도 13 및 도 14는 각각 본 발명의 실험에 및 종래 기술에 따라 형성한 직경 2인치(inch), 두께 300 μ m인 GaN 기판의 표면 상태를 나타낸 사진들이다.

도면의 주요 부분에 대한 부호설명

40: 베이스 기판 42, 48, 50: 제1 완충층

44:반도체층(화합물 반도체층) 42a, 42b:A 및 B층

42c, 42d, 42e, 42f, 42g:제1 내지 제5 도프트 화합물 반도체층

46, 52: 제2 완충층

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<14> 본 발명은 반도체 기판의 제조 방법에 관한 것으로서, 자세하게는 III-V족 화합물 반도체 기판의 제조 방법에 관한 것이다.

<15> 레이저 다이오드나 광 방출 다이오드 등과 같은 반도체 소자의 성능 및 수명(lifetime)은 해당 소자를 구성하는 여러 요소들에 의해 결정되는데, 특히 소자들리 올려지는 베이스 기판에 의해 많은 영향은 받는다. 이에 따라 양질의 반도체 기판 제조를 위한 여러 방법에 제시되고 있고, III-V족 화합물 반도체 기판

에 대한 관심이 높아지면서, 현재 III-V족 화합물 반도체 기판을 대표한다고 할 수 있는 GaN 기판 제조에 대한 관심이 높아지고 있다.

<16> 고 품질의 GaN 기판을 얻기 위한 관건은 GaN 기판을 형성함에 있어 결함밀도(defect density)를 최소화하면서 제조 비용을 줄이고 제조 공정을 단순화하는 것이다.

<17> 일반적으로 GaN 기판은 사파이어 기판 상에 GaN층을 성장한 다음 사파이어 기판을 제거하는 방법으로 얻고 있으며, 사파이어 기판 상에 성장되는 GaN층의 두께가 두꺼울수록 GaN층내의 결함 밀도는 감소하는 경향이 있다. 따라서, 사파이어 기판 상에서 GaN층은 가능한 두껍게 성장시킬 필요가 있다.

<18> 사파이어 기판 상에서 GaN층을 두껍게 성장시키기 위한 방법으로, 상대적으로 성장률이 빠른 HVPE(Hydride Vapor Phase Epitaxy)법과 승화(sublimation)법과 MOCVD(Metal Organic Chemical Vapor Deposition)법이 있으나, MOCVD법은 고 품질의 GaN 박막을 얻을 수 있음에도 불구하고, 박막 성장률이 너무 느리기 때문에 얇게는 수십 μm 에서 두껍게는 수백 μm 의 두께를 갖는 GaN층을 성장하는데 사용하기는 거의 불가능하다.

<19> HVPE법이 사용된 종래 기술에 의한 GaN 기판 제조 방법은 크게 사파이어 기판 상에 실리콘 산화막을 마스크로 형성한 다음 GaN층을 성장시키는 ELO(Epitaxial Lateral Overgrowth) 방식을 적용한 방법(제1 방법)과 도 1에 도시된 바와 같이 마스크 없이 사파이어 기판(10) 상에 직접 두꺼운 GaN층(12)을 성장시키는 방법(제2 방법)으로 나눌 수 있다.

<20> 그런데, 제1 방법의 경우, 사파이어 기판 상에 성장된 GaN층 전체에 발생하는 스트레스의 분포가 균일하지 않기 때문에 두껍고 넓은 GaN층의 형성이 어려운 문제가 있다.

<21> 제2 방법의 경우, 도 2에 도시된 바와 같이 사파이어 기판(10)과 GaN층(12) 사이의 열 팽창계수 차에 의해 양자에 서로 다른 양상의 스트레스가 분포하게 된다. 참조번호 10a는 사파이어 기판(10)에 분포하는 텐사일 스트레스(tensile stress)를, 12a는 GaN층(12)에 분포하는, 텐사일 스트레스와 반대되는 성질의 컴프레시브 스트레스(compressive stress)를 상징적으로 나타낸다. 이와 같이 서로 반대되는 성질의 스트레스의 분포로 인해 사파이어 기판(10) 및 GaN층(12)이 크랙(crack)되는 문제가 발생된다. 또한, GaN층(12)이 전도성을 갖도록 하기 위해 실리콘(Si)이 도핑 되는데, 이에 따라 GaN층(12) 내부에 스트레스가 발생되고, 결국에는 GaN층(12)이 크랙되는 결과를 초래한다.

【발명이 이루고자 하는 기술적 과제】

<22> 따라서, 본 발명이 이루고자하는 기술적 과제는 상술한 종래 기술의 문제점을 개선하기 위한 것으로서, 기판을 성장시키는 과정에서 스트레스의 발생을 최소화할 수 있고, 따라서 기판이 크랙되는 것을 방지할 수 있는 반도체 기판 제조 방법을 제공함에 있다.

【발명의 구성 및 작용】

<23> 상기 기술적 과제를 달성하기 위하여, 본 발명은 베이스 기판을 준비하는 제1 단계와, 상기 준비된 베이스 기판 상에 제1 완충층을 형성하는 제2 단계와,

상기 제1 완충층 상에 반도체층을 형성하는 제3 단계와, 상기 베이스 기판을 분리하는 제4 단계를 포함하는 것을 특징으로 하는 화합물 반도체 기판 제조 방법을 제공한다. 이 과정에서, 상기 제3 단계와 상기 제4 단계 사이에 상기 반도체층 상에 제2 완충층을 형성하는 단계를 더 포함한다. 또, 상기 제2 완충층은 상기 제1 완충층의 구성과 동일하게 형성하고, 상기 제2 완충층은 상기 제1 완충층의 도핑 농도 분포와 대칭 또는 비대칭적인 도핑 농도 분포를 갖도록 형성한다. 또, 상기 제1 완충층은 도핑 농도가 서로 다른 반도체 물질층들로 구성된 복층의 반도체 물질층으로 형성한다. 이때, 상기 복층의 반도체 물질층을 형성하는 단계는 상기 베이스 기판 상에 도프트 반도체 물질층을 형성하는 단계와, 상기 도프트 반도체 물질층 상에 언도프트 반도체 물질층을 형성하는 단계를 포함한다. 상기 언도프트 반도체 물질층 상에 상기 도프트 반도체 물질층 및 상기 언도프트 반도체 물질층을 적어도 한번 이상 순차적으로 교번되게 더 형성한다.

<24> 다른 한편으로, 상기 복층 반도체 물질층을 형성하는 단계는 상기 베이스 기판 상에 언 도프트 반도체 물질층을 형성하는 단계와, 상기 언 도프트 반도체 물질층 상에 도프트 반도체 물질층을 형성하는 단계를 포함한다. 그리고 상기 도프트 반도체 물질층 상에 상기 언도프트 반도체 물질층 및 상기 도프트 반도체 물질층을 적어도 한번 이상 순차적으로 교번되게 더 형성한다.

<25> 또한, 상기 제1 완충층을 형성하는 단계는 도핑 농도가 순차적으로 증가하는 반도체 물질층으로 형성하는 단계로써, 상기 베이스 기판 상에 언도프트 반도체 물질층을 형성하는 단계와 상기 언도프트 반도체 물질층 상에 도핑 농도가 점차적으로 증가하는 도프트 반도체 물질층을 형성하는 단계를 포함한다. 이때, 상

기 도핑 농도가 점차적으로 증가하는 도프트 반도체 물질층은 도핑 농도가 낮은 반도체 물질층부터 순차적으로 형성된 복층의 반도체 물질층으로 형성한다.

<26> 한편, 상기 제2 완충층을 형성하는 단계는 상기 반도체층 상에 도핑 농도가 서로 다른 반도체 물질층들로 구성된 복층 반도체 물질층을 형성하는 단계로써, 상기 반도체층 상에 도프트 반도체 물질층을 형성하는 단계와 상기 도프트 반도체 물질층 상에 언도프트 반도체 물질층을 형성하는 단계를 포함한다. 이때, 상기 복층 반도체 물질층을 형성하는 단계는 상기 반도체층 상에 언 도프트 반도체 물질층을 형성하는 단계와, 상기 언 도프트 반도체 물질층 상에 도프트 반도체 물질층을 형성하는 단계를 포함한다. 아울러, 상기 도프트 반도체 물질층 상에 상기 언도프트 반도체 물질층 및 상기 도프트 반도체 물질층을 적어도 한번 이상 순차적으로 교번되게 더 형성한다.

<27> 다른 한편으로, 상기 제2 완충층을 형성하는 단계는 상기 반도체층 상에 도핑 농도가 순차적으로 증가하는 반도체 물질층을 형성하는 단계로써, 상기 반도체층 상에 언도프트 반도체 물질층을 형성하는 단계와 상기 언도프트 반도체 물질층 상에 도프트 반도체 물질층을 형성하되, 상기 도프트 반도체 물질층은 도핑 농도가 점차적으로 증가하도록 형성하는 단계를 포함한다.

<28> 또한, 상기 제2 완충층을 형성하는 단계는 상기 반도체층 상에 도핑 농도가 순차적으로 감소하는 반도체 물질층을 형성하는 단계로써, 상기 반도체층 상에 도프트 반도체 물질층을 형성하되, 도핑 농도가 점차적으로 감소하도록 형성하는 단계와 상기 도프트 반도체 물질층 상에 언 도프트 반도체 물질층을 형성하는 단계를 포함한다. 이때, 상기 도핑 농도가 점차적으로 감소하도록 형성된 상기 도

프트 반도체 물질층은 도핑 농도가 높은 반도체 물질층부터 순차적으로 구성된 복층의 반도체 물질층으로 형성한다.

<29> 상기 반도체층은 III-V족 화합물 반도체층으로 형성하되, 전도성을 갖도록 형성하며, 실리콘 도핑된 GaN층으로 형성하는 것이 바람직하다.

<30> 상기 베이스 기판의 표면은 암모늄(NH₃)가스와 염화 수소(HCl)가스를 사용하여 처리한다.

<31> 이러한 본 발명을 이용하는 경우, 성장되는 화합물 반도체 기판의 스트레스를 최소화할 수 있으므로, 크랙의 위험성을 최소화한 고 품질의 화합물 반도체 기판, 예컨대 GaN 기판을 얻을 수 있다.

<32> 이하, 본 발명의 실시예에 의한 반도체 기판의 제조 방법을 첨부된 도면들을 참조하여 상세하게 설명한다. 이 과정에서 도면에 도시된 층이나 영역들의 두께는 명세서의 명확성을 위해 과장되게 도시된 것이다.

<33> 도 3을 참조하면, 베이스 기판(40) 상에 스트레스 완화를 위한 제1 완충층(42)을 형성한다. 베이스 기판(40)은 제1 완충층(42)이 형성되기 전에 표면처리된다. 베이스 기판(40)은 사파이어 기판 또는 실리콘 카본(SiC) 기판으로 형성한다. 계속해서, 제1 완충층(42) 상에 반도체층(44)을 형성하되, 후속 공정에서 베이스 기판(40)으로부터 분리해야하고 결정 결함의 성장을 최소화하는 것이 바람직하므로 가능한 두껍게 형성한다. 반도체층(44)은 화합물 반도체층으로 형성하는 것이 바람직하다. 하지만, 비화합물 반도체층으로 형성할 수도 있다.

- <34> 이하, 반도체층(44)을 화합물 반도체층(44)으로 간주한다. 그러나 하기 설명은 비화합물 반도체층에도 그대로 적용할 수 있다.
- <35> 화합물 반도체층(44)을 형성하면서 도전성 불순물, 예컨대 실리콘(Si)을 이온 주입하여 화합물 반도체층(44)이 전도성을 갖도록 한다. 화합물 반도체층(44)은 III-V족 화합물 반도체층으로 형성하는 것이 바람직하다. 예를 들면, GaN층으로 형성하는 것이 바람직하다. 화합물 반도체층(44) 상에 제2 완충층(46)을 형성한다. 제2 완충층(46)은 선택적으로 형성할 수 있다. 즉, 화합물 반도체층(44) 상에 제2 완충층(46)을 형성하는 것이 바람직하나, 형성하지 않아도 무방하다.
- <36> 제2 완충층(46)을 형성한 후에(또는 화합물 반도체층(44)을 형성한 후에) 베이스 기판(40)을 제거하여 전기 전도성을 갖는 화합물 반도체 기판을 형성한다(도 4). 이때, 화합물 반도체층(44)의 전면이 노출될 때까지 제1 완충층(42)도 제거하는 것이 바람직하다.
- <37> 한편, 제1 및 제2 완충층(42, 46)은 다음과 같은 여러 방법으로 형성할 수 있다.
- <38> 먼저, 제1 완충층(42)의 여러 형성 방법에 대해 설명한다.
- <39> <제1 방법>
- <40> 구체적으로 도 5를 참조하면, 베이스 기판(40) 상에 스트레스 완화용 도핑된 화합물 반도체층(42a, 이하 A층이라 한다)을 형성한다. 이때, 도펀트(dopant)로는 실리콘을 사용한다.

<41> 계속해서, 도 6에 도시한 바와 같이 A층(42a) 상에 스트레스 완화용 언도프트 화합물 반도체층(42b, 이하 B층이라 한다)을 형성한다. A층(42a) 및 B층(42b)은 각각 도프트(doped) III-V족 화합물 반도체층 및 언도프트(undoped) III-V족 화합물 반도체층으로써, 예를 들면 실리콘 도프트 GaN층 및 언도프트 GaN층으로 형성하는 것이 바람직하다.

<42> 도 7을 참조하면, B층(42b) 상에 다시 A층(42a) 및 B층(42b)을 순차적으로 형성한다. 이와 같은 방법으로 도 8에 도시한 바와 같이 4개의 A층(42a)과 4개의 B층(42b)이 서로 순차적으로 교번 되도록 형성된 제1 완충층(42)을 형성한다.

<43> <제2 방법>

<44> 제1 완충층을 복수의 A층(42a) 및 B층(42b)을 서로 순차적으로 교번 되게 형성하는 것은 제1 방법과 동일하지만, A층(42a)과 B층(42b)의 초기 형성 순서가 다르다.

<45> 구체적으로, 제1 방법의 경우 도 5 및 도 6에 도시한 바와 같이, 베이스 기판(40) 상에 A층(42a)을 먼저 형성하였지만, 제2 방법의 경우, 도 9에 도시한 바와 같이 베이스 기판(40) 상에 B층(42b)을 먼저 형성한 다음, A층(42a)을 형성한다. 이후, 도 10에 도시한 바와 같이, A층(42a) 상에 다시 B층(42b) 및 A층(42b)을 순차적으로 교번 되게 형성하는 방법으로 제1 방법으로 형성된 제1 완충층(42)과 다른 구성을 갖는 제1 완충층(48)이 형성된다.

<46> <제3 방법>

<47> 도 11을 참조하면, 베이스 기판(40) 상에 먼저 제1 도핑 농도를 갖는 스트레스 완화를 위한 화합물 반도체층(42c, 이하 제1 도프트 화합물 반도체층(42c)이라 한다)을 형성한다. 제1 도프트 화합물 반도체층(42c) 상에 제2 내지 제5 도프트 화합물 반도체층(42d, 42e, 42f, 42g)을 순차적으로 형성한다. 이때, 제1 내지 제5 도프트 화합물 반도체층(42c, 42d, 42e, 42f, 42g)은 적층되는 순서에 따라 도핑 농도 또한 순차적으로 증가되도록 형성하는 것이 바람직하다.

<48> 따라서, 제3 방법으로 바람직하게 형성된 제1 완충층(50)은 도핑 농도가 점차적으로 증가되는 구배를 갖게 된다.

<49> 다음에는 제2 완충층(46)의 여러 형성 방법에 대해 설명한다.

<50> <제1 방법>

<51> 형성되는 하부층이 베이스 기판(40)이 아니라 화합물 반도체층(44)이라는 점을 제외하면, 도 5 내지 도 7에 도시한 제1 완충층(42)의 형성 방법과 동일한 방법으로 형성한다.

<52> <제2 방법>

<53> 형성되는 하부층이 베이스 기판(40)이 아니라 화합물 반도체층(44)이라는 점을 제외하면, 도 9 및 도 10에 도시한 바와 같은 제1 완충층(48) 형성 방법과 동일한 방법으로 형성한다.

<54> <제3 방법>

<55> 형성되는 하부층이 베이스 기판(40)이 아니라 화합물 반도체층(44)이라는 점을 제외하면, 도 11에 도시한 바와 같은 제1 완충층(50) 형성 방법과 동일한 방

법으로 형성한다. 즉, 제1 완충층(50)과 비대칭이 되도록 도핑 농도가 적층되는 순서에 따라 순차적으로 증가되게 형성한다.

<56> <제4 방법>

<57> 제3 방법과 반대로 형성한다. 즉, 도 12에 도시한 바와 같이 화합물 반도체층(44) 상에 제1 내지 제5 도프트 화합물 반도체층(42c, 42d, 42e, 42f, 42g)으로 구성되는 제2 완충층(52)을 형성하되, 도핑 농도가 가장 높은 제5 도프트 화합물 반도체층(42g)을 화합물 반도체층(44) 상에 먼저 형성한 다음, 제4, 제3, 제2 및 제1 도프트 화합물 반도체층(42f, 42e, 42d, 42c)순으로 형성한다. 이렇게 함으로써, 도 3에 도시한 제1 완충층(42)이 제3 방법으로 형성된 것이고, 제2 완충층(46)이 제4 방법으로 형성된 것이면, 양자는 화합물 반도체층(44)을 중심으로 대칭이 된다.

<58> 계속해서, 실험예를 설명한다.

<59> <제1 실험예>

<60> 본 발명자는 III-V족 화합물 반도체 기판의 하나로써 GaN 기판을 형성하기 위해, 다음과 같은 실험을 하였다. 이때, GaN층 형성을 위한 전구체(precursor)로써 갈륨(Ga)금속과 암모니아를 사용하였고, 캐리어 가스로는 질소(N_2)가스를 사용하였다. 또한, 성장법으로는 HPVE법을 적용하였으며, 성장을 위한 퍼니스(furnace)로는 수평 오픈 플로우 리액터(horizontal open flow reactor)를 사용하였다.

<61> 구체적인 과정을 설명하면, 먼저 사파이어 기판을 리액터내에 로딩한 다음, 암모늄(NH_3)가스와 염화 수소(HCl) 가스를 사용하여 상기 사파이어 기판의 표면을 처리하였다. 이후, 제1 완충층(도 3의 42)으로써, $30\mu\text{m}$ 두께의 실리콘 도핑된 GaN층을 연속적으로 형성한 다음, 도프트 화합물 반도체층(도 3의 44)으로써 실리콘 도핑된 GaN층을 $250\mu\text{m}$ 정도의 두께로 형성하였다. 계속해서, 상기 $250\mu\text{m}$ 두께의 GaN층상에 제2 완충층(도 3의 46)으로써 실리콘 도핑된 GaN층을 $20\mu\text{m}$ 정도의 두께로 형성하였다. 이후, 1시간에 걸쳐서 상기 GaN층들이 형성된 사파이어 기판을 상기 리액터로부터 꺼내어 크랙을 최소화한 GaN기판을 얻었다.

<62> 한편, 제1 완충층으로써 형성한 $30\mu\text{m}$ 두께의 GaN층을 형성한 과정을 보다 구체적으로 설명하면, 먼저 사파이어 기판 상에 실리콘 도핑된 GaN층을 $3\mu\text{m}$ 정도의 두께로 형성한 다음, 형성된 GaN층 위로 디클로로실란(SiH_2Cl_2)을 1scm (standard cubic cm) 정도의 비율로 플로우시켜 실리콘 도핑된 GaN층을 $2\mu\text{m}$ 더 형성하였다. 이러한 두 층을 교번하여 적층하는 방법으로 여섯 층의 GaN층을 형성하여 $30\mu\text{m}$ 의 GaN층을 형성하였다.

<63> 또한, 상기 두층을 교번하여 적층하는 방법으로 네층의 GaN층을 형성하는 방법으로 상기 $20\mu\text{m}$ 두께의 GaN층을 형성하였다.

<64> 또한, 상기 $250\mu\text{m}$ 두께의 GaN층은 시간당 $60\mu\text{m}$ 정도의 성장 속도로 실리콘을 도핑하면서 GaN층을 형성하는 방법으로 형성하였다.

<65> <제2 실험예>

- <66> 제1 실험예와 동일한 조건하에서 실시하였으나, 제1 및 제2 완충층으로써 형성한 30 μ m의 GaN층 및 20 μ m 두께의 GaN층은 제1 실험예와 다른 과정으로 형성하였다.
- <67> 먼저, 제1 완충층으로 형성한 상기 30 μ m의 GaN층은 6 μ m 두께의 GaN층 다섯 층(이하, 제1 내지 제5 GaN층이라 한다)을 순차적으로 연속해서 형성하는 방법으로 형성하였으되, 각 층의 도핑 농도를 다르게 하였다.
- <68> 구체적으로, 제1 GaN층은 도펀트 도핑없이 형성하였고, 제2 GaN층은 도펀트 소오스 가스로써 0.1sccm 정도의 디클로로실란을 화합물 반도체층(44) 위로 플로우시키면서, 제3 내지 제5 GaN층은 각각 0.2, 0.3, 0.4sccm 정도의 디클로로실란을 플로우시키면서 형성하여 제1 내지 제5 GaN층, 곧 30 μ m의 GaN층이 도핑 농도가 순차적으로 증가되는 도핑 농도 구배를 갖도록 형성하였다.
- <69> 한편, 제2 완충층으로써 화합물 반도체층(44) 상에 형성한 상기 20 μ m두께의 GaN층은 4 μ m 두께의 GaN층 다섯 층(이하, 제6 내지 제10 GaN층이라 한다)을 순차적으로 연속해서 형성하는 방법으로 형성하였으되, 상기 30 μ m두께의 GaN층과 마찬가지로 각 층의 도핑 농도를 다르게 하는 방법으로 형성하였다. 다만, 상기 제1 내지 제5 GaN층을 형성할 때와는 반대로 각 GaN층의 도핑 농도 구배가 반대로, 즉 도핑 농도가 점차 낮아지도록 형성하였다.
- <70> 구체적으로, 화합물 반도체층(44) 상에 제일 먼저 형성한 제6 GaN층은 화합물 반도체층(44) 위로 0.4sccm 정도의 디클로로실란을 플로우시키면서 형성하여 도핑 농도를 가장 높게 하였고, 제7 내지 제9 GaN층은 각각 0.3, 0.2, 0.1sccm 정도의 디클로로실란을 화합물 반도체층(44) 위로 플로우시키면서 형성하여 각

층의 도핑 농도가 점차 낮아지게 하였으며, 제10 GaN층은 도핑없이 형성하였다.
이후의 과정은 제1 실험예와 동일하게 진행하였다.

<71> 도 13은 상기한 본 발명의 실험예에 따라 형성한 직경 2인치(inch), 두께 300 μ m인 GaN 기판의 표면 상태를 확인할 수 있는 사진이고, 도 14는 종래의 방법으로 동일한 직경 및 두께로 형성한 GaN 기판의 표면 상태를 확인할 수 있는 사진이다.

<72> 도 13 및 도 14에서 볼 수 있듯이, 본 발명에 따라 형성한 GaN 기판에는 크랙이 발생되지 않았으나, 종래의 방법에 따라 형성한 GaN기판에는 크랙(100)이 발생되었다.

<73> 상기한 설명에서 많은 사항이 구체적으로 기재되어 있으나, 그들은 발명의 범위를 한정하는 것이라기보다, 바람직한 실시예의 예시로서 해석되어야 한다. 예를 들어 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면, 도펀트로써 실리콘외의 다른 물질을 사용할 수 있을 것이고, 상세한 설명에서 언급하지 않은 비화합물 반도체 기판 또는 다른 화합물 반도체 기판의 형성에도 완충층을 이용하는 본 발명의 기술적 사상을 적용할 수 있을 것이다. 또, 형성 후 베이스 기판과 함께 제거하는 조건으로 베이스 기판과 화합물 반도체층(44) 사이에 형성되는 제1 완충층으로써 화합물 반도체층(44)과 다른 물질층을 사용할 수도 있을 것이다. 또한, 제1 완충층으로써 도프트층과 언도프트층을 교번되게 형성하는 대신에 도핑 농도를 다르게 한 두 층을 교번되게 형성할 수도 있을 것이다. 또한, 상기 제1 완충층은 도프트(언도프트) 및 언도프트(도프트) 반도체 물질층을 교번되게 형성하고, 상기 제2 완충층은 순차적으로 도핑 농도가 증가(감소)하는 반도체

체 물질층으로 형성할 수도 있을 것이다. 때문에 본 발명의 범위는 설명된 실시예에 의하여 정하여 질 것이 아니고 특허 청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.

【발명의 효과】

<74> 상술한 바와 같이, 베이스 기판과 메인 기판이 되는 화합물 반도체층 사이에 스트레스 완화를 위한 완충층을 형성한 다음 화합물 반도체층을 형성하거나, 화합물 반도체층 상에 제2의 완충층을 더 형성함으로써, 베이스 기판과 화합물 반도체층 사이에 나타나는 스트레스 분포 차를 최소화할 수 있고, 그 결과 상기 분포 차에 기인한 크랙 발생을 최소화할 수 있어, 고 품질의 화합물 반도체 기판, 예컨대 III-V족의 고 품질 화합물 반도체 기판으로써 GaN 기판을 얻을 수 있다

【특허청구범위】

【청구항 1】

베이스 기판을 준비하는 제1 단계;

상기 준비된 베이스 기판 상에 제1 완충층을 형성하는 제2 단계;

상기 제1 완충층 상에 반도체층을 형성하는 제3 단계; 및

상기 베이스 기판을 분리하는 제4 단계를 포함하는 것을 특징으로 하는 반도체 기판 제조 방법.

【청구항 2】

제 1 항에 있어서, 상기 제3 단계와 상기 제4 단계 사이에 상기 반도체층 상에 제2 완충층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 기판 제조 방법.

【청구항 3】

제 1 항에 있어서, 상기 베이스 기판은 사파이어 기판 또는 실리콘 카본 (SiC) 기판으로 형성하는 것을 특징으로 하는 반도체 기판 제조 방법.

【청구항 4】

제 2 항에 있어서, 상기 제2 완충층은 상기 제1 완충층의 구성과 동일하게 형성하는 것을 특징으로 하는 반도체 기판 제조 방법.

【청구항 5】

제 2 항에 있어서, 상기 제2 완충층은 상기 제1 완충층의 도핑 농도 분포와 대칭적인 도핑 농도 분포를 갖도록 형성하는 것을 특징으로 하는 반도체 기판 제조 방법.

【청구항 6】

제 2 항에 있어서, 상기 제2 완충층은 상기 제1 완충층의 도핑 농도 분포와 비대칭적인 도핑 농도 분포를 갖도록 형성하는 것을 특징으로 하는 반도체 기판 제조 방법.

【청구항 7】

제 1 항, 제 4 항, 제 5 항 또는 제 6 항에 있어서, 상기 제1 완충층은 도핑 농도가 서로 다른 반도체 물질층들로 구성된 복층의 반도체 물질층으로 형성하는 것을 특징으로 하는 반도체 기판 제조 방법.

【청구항 8】

제 7 항에 있어서, 상기 복층의 반도체 물질층을 형성하는 단계는,
상기 베이스 기판 상에 도프트 반도체 물질층을 형성하는 단계; 및
상기 도프트 반도체 물질층 상에 언도프트 반도체 물질층을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 기판 제조 방법.

【청구항 9】

제 8 항에 있어서, 상기 언도프트 반도체 물질층 상에 상기 도프트 반도체 물질층 및 상기 언도프트 반도체 물질층을 적어도 한번 이상 순차적으로 교번되게 더 형성하는 것을 특징으로 하는 반도체 기판 제조 방법.

【청구항 10】

제 7 항에 있어서, 상기 복층 반도체 물질층을 형성하는 단계는,
상기 베이스 기판 상에 언도프트 반도체 물질층을 형성하는 단계; 및
상기 언도프트 반도체 물질층 상에 도프트 반도체 물질층을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 기판 제조 방법.

【청구항 11】

제 10 항에 있어서, 상기 도프트 반도체 물질층 상에 상기 언도프트 반도체 물질층 및 상기 도프트 반도체 물질층을 적어도 한번 이상 순차적으로 교번되게 더 형성하는 것을 특징으로 하는 반도체 기판 제조 방법.

【청구항 12】

제 1 항, 제 4 항, 제 5 항 또는 제 6 항에 있어서, 상기 제1 완충층은 도핑 농도가 순차적으로 증가하는 반도체 물질층으로 형성하는 것을 특징으로 하는 반도체 기판 제조 방법.

【청구항 13】

제 12 항에 있어서, 상기 도핑 농도가 순차적으로 증가하는 반도체 물질층은

상기 베이스 기판 상에 언도프트 반도체 물질층을 형성하는 단계; 및

상기 언도프트 반도체 물질층 상에 도핑 농도가 점차적으로 증가하는 도프트 반도체 물질층을 형성하는 단계를 통해서 형성하는 것을 특징으로 하는 반도체 기판 제조 방법.

【청구항 14】

제 13 항에 있어서, 상기 도핑 농도가 점차적으로 증가하는 도프트 반도체 물질층은 도핑 농도가 낮은 반도체 물질층부터 순차적으로 형성된 복층의 반도체 물질층으로 형성하는 것을 특징으로 하는 반도체 기판 제조 방법.

【청구항 15】

제 2 항에 있어서, 상기 제2 완충층을 형성하는 단계는 상기 반도체층 상에 도핑 농도가 서로 다른 반도체 물질층들로 구성된 복층 반도체 물질층을 형성하는 단계인 것을 특징으로 하는 반도체 기판 제조 방법.

【청구항 16】

제 15 항에 있어서, 상기 복층 반도체 물질층을 형성하는 단계는,

상기 반도체층 상에 도프트 반도체 물질층을 형성하는 단계; 및

상기 도프트 반도체 물질층 상에 언도프트 반도체 물질층을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 기판 제조 방법.

【청구항 17】

제 16 항에 있어서, 상기 언도프트 반도체 물질층 상에 상기 도프트 반도체 물질층 및 상기 언도프트 반도체 물질층을 적어도 한번 이상 순차적으로 교번되게 더 형성하는 것을 특징으로 하는 반도체 기판 제조 방법.

【청구항 18】

제 15 항에 있어서, 상기 복층 반도체 물질층을 형성하는 단계는,
상기 반도체층 상에 언 도프트 반도체 물질층을 형성하는 단계; 및
상기 언 도프트 반도체 물질층 상에 도프트 반도체 물질층을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 기판 제조 방법.

【청구항 19】

제 18 항에 있어서, 상기 도프트 반도체 물질층 상에 상기 언도프트 반도체 물질층 및 상기 도프트 반도체 물질층을 적어도 한번 이상 순차적으로 교번되게 더 형성하는 것을 특징으로 하는 반도체 기판 제조 방법.

【청구항 20】

제 2 항에 있어서, 상기 제2 완충층을 형성하는 단계는 상기 반도체층 상에 도핑 농도가 순차적으로 증가하는 반도체 물질층을 형성하는 단계인 것을 특징으로 하는 반도체 기판 제조 방법.

【청구항 21】

제 20 항에 있어서, 상기 도핑 농도가 순차적으로 증가하는 반도체 물질층을 형성하는 단계는

상기 반도체층 상에 언도프트 반도체 물질층을 형성하는 단계; 및

상기 언도프트 반도체 물질층 상에 도프트 반도체 물질층을 형성하되, 상기 도프트 반도체 물질층은 도핑농도가 점차적으로 증가하도록 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 기판 제조 방법.

【청구항 22】

제 21 항에 있어서, 상기 도핑 농도가 점차적으로 증가하도록 형성된 상기 도프트 반도체 물질층은 도핑 농도가 낮은 반도체 물질층으로부터 순차적으로 구성된 복층의 반도체 물질층으로 형성하는 것을 특징으로 하는 반도체 기판 제조 방법.

【청구항 23】

제 2 항에 있어서, 상기 제2 완충층을 형성하는 단계는 상기 반도체층 상에 도핑 농도가 순차적으로 감소하는 반도체 물질층을 형성하는 단계인 것을 특징으로 하는 반도체 기판 제조 방법.

【청구항 24】

제 23 항에 있어서, 상기 도핑 농도가 순차적으로 감소하는 반도체 물질층을 형성하는 단계는

상기 반도체층 상에 도프트 반도체 물질층을 형성하되, 도핑 농도가 점차적으로 감소하도록 형성하는 단계; 및

상기 도프트 반도체 물질층 상에 언도프트 반도체 물질층을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 기판 제조 방법.

【청구항 25】

제 24 항에 있어서, 상기 도핑 농도가 점차적으로 감소하도록 형성된 상기 도프트 반도체 물질층은 도핑 농도가 높은 반도체 물질층부터 순차적으로 구성된 복층의 반도체 물질층으로 형성하는 것을 특징으로 하는 반도체 기판 제조 방법.

【청구항 26】

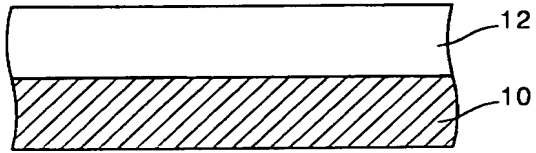
제 1 항, 제 2 항, 제 15 항, 제 16 항, 제 18 항, 제 20 항, 제 23 항 또는 제 24 항에 있어서, 상기 반도체층은 III-V족 화합물 반도체층으로 형성하되, 전도성을 갖도록 형성하는 것을 특징으로 하는 반도체 기판 제조 방법.

【청구항 27】

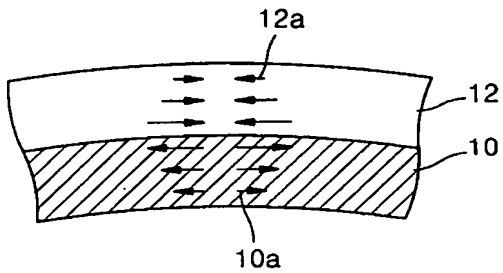
제 26 항에 있어서, 상기 III-V족 화합물 반도체층은 실리콘 도핑된 GaN층인 것을 특징으로 하는 반도체 기판 제조 방법.

【도면】

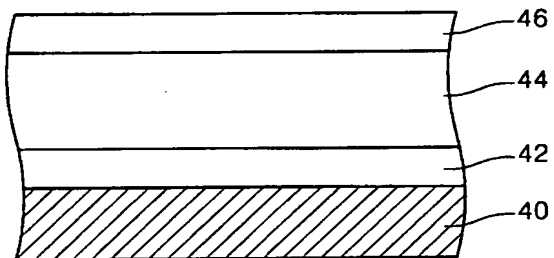
【도 1】



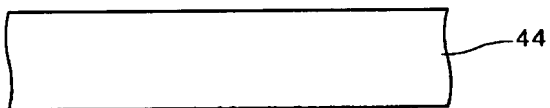
【도 2】



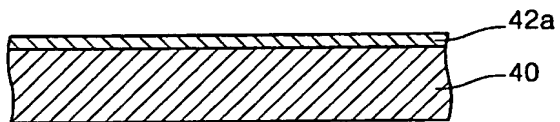
【도 3】



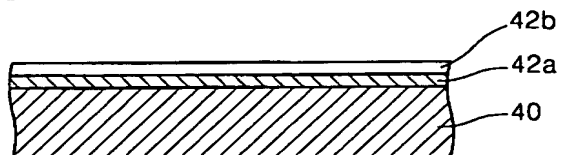
【도 4】



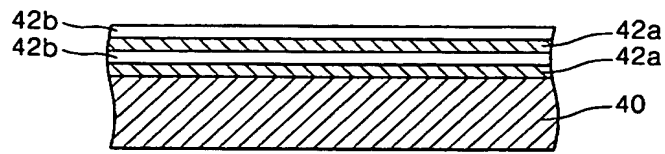
【도 5】



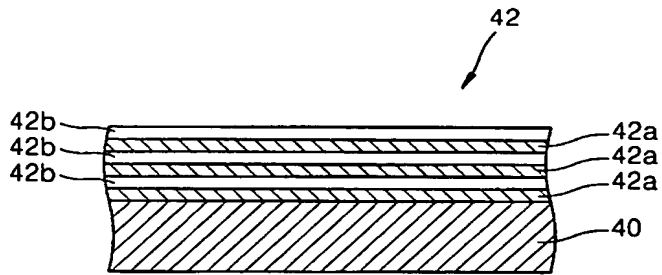
【도 6】



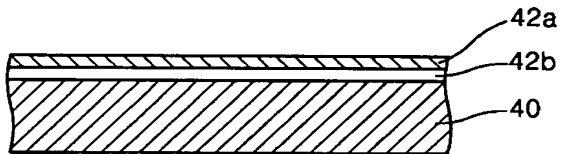
【도 7】



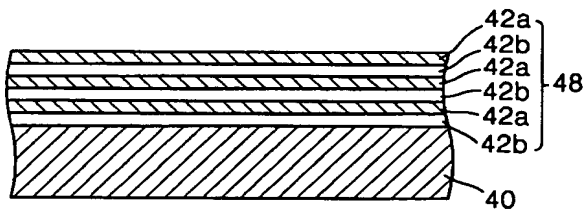
【도 8】



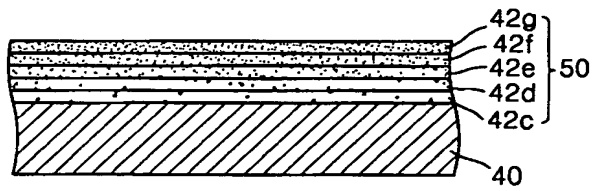
【도 9】



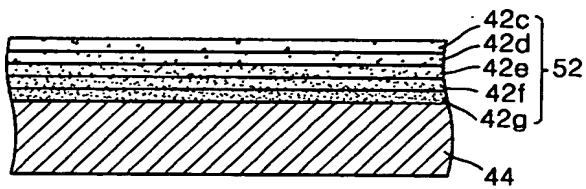
【도 10】



【도 11】



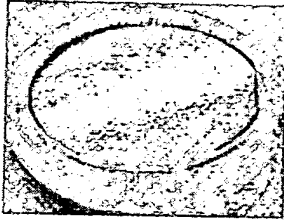
【도 12】



1020010011153

출력 일자: 2002/1/24

【도 13】



【도 14】

